

日本国特許庁
JAPAN PATENT OFFICE

PMAA - 01078/US
3/24/02
JC879 U.S. PTO
10/043208
01/14/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 8月20日

出願番号

Application Number:

特願2001-249205

出願人

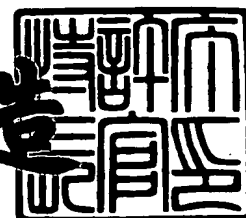
Applicant(s):

三菱電機株式会社

2001年 9月 6日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3082511

【書類名】 特許願

【整理番号】 532910JP01

【提出日】 平成13年 8月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/065

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
 社内

 【氏名】 田村 浩昭

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089118

 【弁理士】

 【氏名又は名称】 酒井 宏明

【手数料の表示】

 【予納台帳番号】 036711

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9803092

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 電氣的に書き換え可能な不揮発性メモリを有する第 1 のチップと、

救済用の冗長回路を内蔵するメモリを有する第 2 のチップと、
を基板上に備える半導体装置であって、

前記第 1 のチップの不揮発性メモリに、前記メモリの不良部分を前記冗長回路へと切り替える情報を格納し、その情報に基づいて前記メモリの不良部分を前記冗長回路へ切り替えることを特徴とする半導体装置。

【請求項 2】 前記第 2 のチップは、前記メモリの不良をテストするためのテストプログラムと、当該テストプログラムによって検出された不良部分を特定し、当該不良部分と前記冗長回路との切り替え位置を決定する救済解析プログラムと、当該救済解析プログラムによって特定された前記不良部分を前記冗長回路へと切り替える情報を書き込むソフトリペアプログラムとが記憶された不揮発性メモリを有するメモリテスト用回路をさらに備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記メモリの不良をテストするためのテストプログラムと、当該テストプログラムによって検出された不良部分を特定し、当該不良部分と前記冗長回路との切り替え位置を決定する救済解析プログラムと、当該救済解析プログラムによって特定された前記不良部分を前記冗長回路へと切り替える情報を書き込むソフトリペアプログラムとが記憶された不揮発性メモリを有するメモリテスト用回路を含む第 3 のチップをさらに前記基板上に備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記メモリテスト用回路内の前記不揮発性メモリは、書き換え可能であることを特徴とする請求項 2 または 3 に記載の半導体装置。

【請求項 5】 電氣的に書き換え可能な不揮発性メモリを有する第 1 のチップと、

メモリを有する第 2 のチップと、

救済用の冗長回路を有する第 3 のチップと、
を基板上に備える半導体装置であって、

前記第 1 のチップの不揮発性メモリに、前記第 2 のチップのメモリの不良部分を前記第 3 のチップの冗長回路へと切り替える情報を格納し、その情報に基づいて前記第 2 のチップのメモリの不良部分を前記第 3 のチップの冗長回路へ切り替えることを特徴とする半導体装置。

【請求項 6】 前記第 2 のチップは、前記メモリの不良をテストするためのテストプログラムと、当該テストプログラムによって検出された不良部分を特定し、当該不良部分と前記冗長回路との切り替え位置を決定する救済解析プログラムと、当該救済解析プログラムによって特定された前記不良部分を前記冗長回路へと切り替える情報を書き込むソフトリペアプログラムとが記憶された不揮発性メモリを有するメモリテスト用回路をさらに備えることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記メモリの不良をテストするためのテストプログラムと、当該テストプログラムによって検出された不良部分を特定し、当該不良部分と前記冗長回路との切り替え位置を決定する救済解析プログラムと、当該救済解析プログラムによって特定された前記不良部分を前記冗長回路へと切り替える情報を書き込むソフトリペアプログラムとが記憶された不揮発性メモリを有するメモリテスト用回路を含む第 4 のチップをさらに前記基板上に備えることを特徴とする請求項 5 に記載の半導体装置。

【請求項 8】 前記メモリテスト用回路内の前記不揮発性メモリは、書き換え可能であることを特徴とする請求項 6 または 7 に記載の半導体装置。

【請求項 9】 前記各チップを互いに積層して前記基板上に備えることを特徴とする請求項 1 ～ 8 のいずれか一つに記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、L S I などの半導体装置におけるメモリの不良部分を、正常な動作を行う冗長回路用メモリへ切り替える救済を行うことができ、そして救済後の

テストを省略化することが可能な半導体装置に関するものである。

【0002】

【従来の技術】

半導体装置においては、製造工程における歩留の向上のために、正規のメモリ回路に加えて冗長回路を形成する方法が知られている。この方法は、正規のメモリ回路の一部または全部と置換可能な回路である冗長回路を、予め正規のメモリ回路と共に形成しておき、製造工程の途中の工程で正規のメモリ回路の動作試験（セルフテスト）を行い、正規のメモリ回路に欠陥などの不良が検出された場合には、救済解析によってその部分を特定し、その部分を正常に動作する冗長回路に置換するものである。正規のメモリ回路から冗長回路への置換は、正規のメモリ回路と冗長回路とを接続するフューズから、前記不良部分の特定情報に基づいて、それに関連するフューズを選択して、レーザ光照射により切断することによって作られるものが一般的である。

【0003】

このような冗長回路は、予め半導体装置に組み込まれるため、素子形成面積が増大し、集積度の向上という面からは不利益を伴うけれども、総合的な歩留の向上という点からは大きな効果が得られるものである。

【0004】

ところで、上記のフューズの切断にあたっては、レーザ光照射によりフューズを部分的に熱的に溶断し、蒸発させる方法が用いられる。しかし、製造工程において、多数のフューズに対して繰り返しレーザ光を照射すると、フューズの下層部分に一定頻度でダメージが生じる場合のあることが知られている。そのため、フューズの直下位置に半導体電気素子が形成されていると、当該半導体電気素子がレーザ光照射によりダメージを受け、製品全体が不良になってしまう。そこで、図5に示すように、従来の半導体装置1では、1つのチップ上に、一般ロジック用回路2、歩留向上のための冗長回路を含む各種のメモリ3a、3b、そしてメモリテスト用のBIST（Built-In-Self-Test）回路4の各領域の他に、フューズ5領域をまとめて配置し、それぞれのフューズ5領域の下には半導体電気素子を配置しない構成を採用している。このような構成により

、レーザ光照射によりフューズ5領域の下層にダメージが生じた場合でも、そこには半導体電気素子が存在しないので、不良品の発生をなくすことができると共に、フューズ切断の作業性の向上を可能にした。

【0005】

【発明が解決しようとする課題】

しかし、上述したような従来の半導体装置では、正規のメモリ回路を冗長回路に置換する際のレーザ光照射によるフューズの切断は、製造工程で行われる。すなわち、ウェハの状態でのみ正規のメモリ回路の欠陥の救済が可能であり、パッケージにされた後に生じる回路の不良に対しては対応できず、歩留が低下していた。また、フューズの切断は物理的な切断であり、一度フューズが切断されるとその状態は固定されてしまうので、あとから発生する不良箇所の救済が行えなくなってしまう場合もあり、同様に歩留が低下してしまっていた。さらに、レーザ光照射によるフューズの切断による救済を行った後には、救済されない箇所や、救済が不十分である箇所が存在しないことを確認するために、救済不良をスクリーニングする必要性が生じ、そのために行うテストのコストが増大してしまっていた。

【0006】

さらにまた、メモリテスト用のBIST回路が不良の場合、図5に示したように、1つのチップ上に一般ロジック用回路2や各種のメモリ3a、3bと共にメモリテスト用のBIST回路4が混載されているので、その1つのチップを構成する半導体装置1全体が不良とみなされて廃棄され、これによっても歩留が低下していた。

【0007】

この発明は上記に鑑みてなされたもので、歩留を向上させるために、半導体装置を構成する回路に不良箇所が存在する場合に、半導体装置の製造工程中のウェハの工程だけでなくパッケージ化された後にも、回路の不良部分を冗長回路へ置換することができると同時に、半導体装置を構成する各部品の不良に対して、半導体装置全体を廃棄してしまうことのない半導体装置を得ることを目的としている。

【 0 0 0 8 】

【課題を解決するための手段】

上記目的を達成するため、この発明にかかる半導体装置は、電氣的に書き換え可能な不揮発性メモリを有する第1のチップと、救済用の冗長回路を内蔵するメモリを有する第2のチップと、を基板上に備える半導体装置であって、前記第1のチップの不揮発性メモリに、前記メモリの不良部分を前記冗長回路へと切り替える情報を格納し、その情報に基づいて前記メモリの不良部分を前記冗長回路へ切り替えることを特徴とする。

【 0 0 0 9 】

この発明によれば、前記メモリの不良部分を前記冗長回路へと切り替える情報が、前記不揮発性メモリに格納される。これにより、不揮発性メモリに書き込まれた情報を基にして、メモリ中のすべての不良部分をソフト的に救済することが可能となり、また、救済不良もなくなるので救済後のテストを行う必要がない。

【 0 0 1 0 】

つぎの発明にかかる半導体装置は、上記の発明において、前記第2のチップは、前記メモリの不良をテストするためのテストプログラムと、当該テストプログラムによって検出された不良部分を特定し、当該不良部分と前記冗長回路との切り替え位置を決定する救済解析プログラムと、当該救済解析プログラムによって特定された前記不良部分を前記冗長回路へと切り替える情報を書き込むソフトリペアプログラムとが記憶された不揮発性メモリを有するメモリテスト用回路をさらに備えることを特徴とする。

【 0 0 1 1 】

この発明によれば、テストプログラム、救済解析プログラムおよびソフトリペアプログラムを有する不揮発性メモリを備えたメモリテスト用回路が前記メモリを有する第2のチップに備えられる。これにより、前記メモリの不良箇所の有無を確認し、不良箇所がある場合にはその箇所を特定し、さらに、その不良箇所を冗長回路へと切り替えるための情報を前記不揮発性メモリに書き込む一連の工程を半導体装置単体で行うことが可能となる。

【 0 0 1 2 】

つぎの発明にかかる半導体装置は、上記の発明において、前記メモリの不良をテストするためのテストプログラムと、当該テストプログラムによって検出された不良部分を特定し、当該不良部分と前記冗長回路との切り替え位置を決定する救済解析プログラムと、当該救済解析プログラムによって特定された前記不良部分を前記冗長回路へと切り替える情報を書き込むソフトリペアプログラムとが記憶された不揮発性メモリを有するメモリテスト用回路を含む第3のチップをさらに前記基板上に備えることを特徴とする。

【0013】

この発明によれば、テストプログラム、救済解析プログラムおよびソフトリペアプログラムを有する不揮発性メモリを備えたメモリテスト用回路を有する第3のチップが前記基板上にさらに備えられる。これにより、前記メモリの不良箇所の有無を確認し、不良箇所がある場合にはその箇所を特定し、そして、その不良箇所を冗長回路へと切り替えるための情報を前記不揮発性メモリに書き込む一連のメモリテストおよびメモリの救済を半導体装置単体で行うことが可能となる。また、前記メモリテスト用回路が不良であっても、半導体装置全体を廃棄することなく、前記メモリテスト用回路すなわち第3のチップのみを廃棄すれば足りるので、歩留が向上する。

【0014】

つぎの発明にかかる半導体装置は、上記の発明において、前記メモリテスト用回路内の前記不揮発性メモリは、書き換え可能であることを特徴とする。

【0015】

この発明によれば、書き換え可能な不揮発性メモリが使用される。これにより、前記不揮発性メモリ内に格納されているテストプログラム、救済解析プログラムまたはソフトリペアプログラムが変更された場合でも、それらの変更を容易に前記メモリテスト用回路に反映させることができる。

【0016】

つぎの発明にかかる半導体装置は、電氣的に書き換え可能な不揮発性メモリを有する第1のチップと、メモリを有する第2のチップと、救済用の冗長回路を有する第3のチップと、を基板上に備える半導体装置であって、前記第1のチップ

の不揮発性メモリに、前記第2のチップのメモリの不良部分を前記第3のチップの冗長回路へと切り替える情報を格納し、その情報に基づいて前記第2のチップのメモリの不良部分を前記第3のチップの冗長回路へ切り替えることを特徴とする。

【0017】

この発明によれば、前記メモリの不良部分を前記冗長回路へと切り替える情報が、前記不揮発性メモリに格納される。これにより、不揮発性メモリに書き込まれた情報を基にして、メモリ中のすべての不良部分を、ソフト的に救済することが可能となり、また、救済不良もなくなるので救済後のテストを行う必要がない。さらに、前記冗長回路が、前記メモリを有する第2のチップとは別の第3のチップ上に形成される。これにより、メモリ素子面積が減少し、集積度が向上する。

【0018】

つぎの発明にかかる半導体装置は、上記の発明において、前記第2のチップは、前記メモリの不良をテストするためのテストプログラムと、当該テストプログラムによって検出された不良部分を特定し、当該不良部分と前記冗長回路との切り替え位置を決定する救済解析プログラムと、当該救済解析プログラムによって特定された前記不良部分を前記冗長回路へと切り替える情報を書き込むソフトリペアプログラムとが記憶された不揮発性メモリを有するメモリテスト用回路をさらに備えることを特徴とする。

【0019】

この発明によれば、テストプログラム、救済解析プログラムおよびソフトリペアプログラムを有する不揮発性メモリを備えたメモリテスト用回路が前記メモリを有する第2のチップに備えられる。これにより、前記メモリの不良箇所の有無を確認し、不良箇所がある場合にはその箇所を特定し、また、その不良箇所を前記第3のチップの冗長回路へと切り替えるための情報を前記不揮発性メモリに書き込む一連の工程を半導体装置単体で行うことが可能となる。さらに、前記冗長回路が、前記メモリを有する第2のチップとは別の第3のチップ上に形成されるので、メモリ素子面積が減少し、集積度が向上する。

【 0 0 2 0 】

つぎの発明にかかる半導体装置は、上記の発明において、前記メモリの不良をテストするためのテストプログラムと、当該テストプログラムによって検出された不良部分を特定し、当該不良部分と前記冗長回路との切り替え位置を決定する救済解析プログラムと、当該救済解析プログラムによって特定された前記不良部分を前記冗長回路へと切り替える情報を書き込むソフトリペアプログラムとが記憶された不揮発性メモリを有するメモリテスト用回路を含む第4のチップをさらに前記基板上に備えることを特徴とする。

【 0 0 2 1 】

この発明によれば、テストプログラム、救済解析プログラムおよびソフトリペアプログラムを有する不揮発性メモリを備えたメモリテスト用回路を有する第4のチップが前記基板上にさらに備えられる。これにより、前記第2のチップのメモリの不良箇所の有無を確認し、不良箇所がある場合にはその箇所を特定し、そして、その不良箇所を冗長回路へと切り替えるための情報を前記不揮発性メモリに書き込む一連のメモリテストおよびメモリの救済を半導体装置単体で行うことが可能となる。また、前記メモリテスト用回路が不良であっても、半導体装置全体を廃棄することなく、前記メモリテスト用回路すなわち第4のチップのみを廃棄すれば足りるので、歩留が向上する。さらに、前記冗長回路が、前記メモリを有する第2のチップとは別の第3のチップ上に形成されるので、メモリ素子面積が減少し、集積度が向上する。

【 0 0 2 2 】

つぎの発明にかかる半導体装置は、上記の発明において、前記メモリテスト用回路内の前記不揮発性メモリは、書き換え可能であることを特徴とする。

【 0 0 2 3 】

この発明によれば、書き換え可能な不揮発性メモリが使用される。これにより、前記不揮発性メモリ内に格納されているテストプログラム、救済解析プログラムまたはソフトリペアプログラムが変更された場合でも、それらの変更を容易に前記メモリテスト用回路に反映させることができる。さらに、前記冗長回路が、前記メモリを有する第2のチップとは別の第3のチップ上に形成されるので、メ

モリ素子面積が減少し、集積度が向上する。

【 0 0 2 4 】

つぎの発明にかかる半導体装置は、上記の発明において、前記各チップを互いに積層して前記基板上に備えることを特徴とする。

【 0 0 2 5 】

この発明によれば、前記各チップが前記基板上に互いに積層して備えられる。これにより、基板上に平面的に並べる場合と比較して、使用する基板の面積を小さくすることができる。

【 0 0 2 6 】

【発明の実施の形態】

以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。なお、以下に説明するこの発明の実施の形態において上述の従来例と同一の構成要素については、上述の従来例に付した符号と同一の符号を付している。

【 0 0 2 7 】

実施の形態 1.

図 1 は、この発明にかかる半導体装置の実施の形態 1 を示すものであり、従来の半導体装置との構成の違いをわかりやすく概略的に示している。1 は半導体装置全体を、2 は一般ロジック用回路を、3 a、3 b は歩留向上のための冗長回路を含む各種のメモリを、4 は回路のテスト、救済解析およびメモリの救済を行うメモリテスト用の B I S T 回路（以下、メモリテスト用回路という）を、5 はフューズを、6 は電氣的に書き換え可能な不揮発性メモリを、1 1 は一般ロジック用回路 2、メモリ 3 a、3 b およびメモリテスト用回路 4 が搭載された製品 L S I チップを、1 2 は電氣的に書き換え可能な不揮発性メモリ 6 が搭載されているソフトリペア用 L S I チップを、そして 2 1 は基板をそれぞれ表している。なお、この発明でいう基板 2 1 とは、複数の L S I チップを搭載し、それぞれの L S I チップ間を、ビームリードによるボンディング、ワイヤボンディング、フリップチップボンディング、スルーホール、半田付けなどの S i P (S i l i c o n i n a P a c k a g e) の方法によって接続するための絶縁性の基板を意

味するものである。

【 0 0 2 8 】

図 1 (A) は図 5 に示されている従来の半導体装置を示すものであり、一般ロジック用回路 2 と、各種のメモリ 3 a、3 b と、メモリテスト用回路 4 と、フューズ 5 とが、1 つのチップ上に混載されて配置されている。これに対し、実施の形態 1 の半導体装置においては、図 1 (B) に示されるようにフューズ 5 が削除された製品 L S I チップ 1 1 と、この製品 L S I チップ 1 1 とは別に形成されたソフトリペア用 L S I チップ 1 2 とが、それぞれ形成される。さらに、実施の形態 1 の半導体装置では、図 1 (C) に示すように、これらの製品 L S I チップ 1 1 とソフトリペア用 L S I チップ 1 2 とを基板 2 1 上に配置し、配線を行い、同一パッケージとしている。ここで、図ではメモリ 3 a と不揮発性メモリ 6 とが配線によって接続されているように描いているが、製品 L S I チップ 1 1 の内部では、例えば、メモリ 3 a とメモリ 3 b との間では配線によって接続されているので、メモリ 3 b も不揮発性メモリ 6 と接続されている。このような L S I 内部による配線による不揮発性メモリ 6 との接続ではなく、メモリ 3 b と不揮発性メモリ 6 とを直接接続することも可能である。

【 0 0 2 9 】

メモリテスト用回路 4 は、セルフテストプログラム、救済解析プログラムそしてソフトリペアプログラムを格納した不揮発性メモリを備え、以下のような働きをする。まず、セルフテストプログラムでメモリ 3 a、3 b に不良箇所がないかをチェックする。不良箇所が存在する場合には、つぎに、救済解析プログラムでその不良箇所の位置を特定する。不良箇所の位置が特定された後に、その不良箇所の冗長回路への切り替え情報をソフトリペアプログラムによって不揮発性メモリ 6 に記憶させる。

【 0 0 3 0 】

このような構成の半導体装置を使用する場合、半導体装置に電源が入ると一般ロジック用回路 2 は不揮発性メモリ 6 に記憶された情報を最初に読み込む。不揮発性メモリ 6 には、上述したようにメモリ 3 a、3 b の不良箇所についての情報が格納されているので、一般ロジック用回路 2 はその情報を入手する。その後、

一般ロジック用回路 2 が書き込みや読み込みでメモリ 3 a、3 bを使用する場合には、一般ロジック用回路 2 はその不良箇所についての情報を参照しながら、メモリ 3 a、3 bの不良箇所を冗長回路の切り替え部分へと回避することによって、メモリ 3 a、3 bに書き込みや読み込みを行う。このようにして、メモリ 3 a、3 bの不良箇所が、冗長回路の切り替え部分に置き換えられてメモリ 3 a、3 bが使用される。

【 0 0 3 1 】

このような構成によって、従来メモリの救済に必要なだったフューズを不揮発性メモリに置き換えたので、チップ面積が小さくなり、歩留を向上させることができる。また、メモリ 3 a、3 b内の不良箇所において、その箇所を冗長回路へ切り替えることについての情報が不揮発性メモリ 6 に格納されているので、ソフト的に不良箇所を救済することが可能となる。すなわち、メモリ 3 a、3 b内の不良箇所が不揮発性メモリ 6 に記憶される結果、その不良箇所を使用する場合にはその部分を冗長回路へソフト的に切り替えて使用される。そして、その結果すべての不良箇所が救済されることになり、救済不良がなくなるので歩留が向上する。さらに、救済不良がなくなる結果、救済後のテストが省略可能になり、そのためのテストコストを削減することができる。さらにまた、ソフト的に不良箇所の救済が可能となるので、レーザ光の照射によりフューズを切っていた従来の場合と比較して、ハード的な（物理的な）処理設備が不要となり、そのためのコストも削減できる。

【 0 0 3 2 】

実施の形態 2.

図 2 は、この発明にかかる半導体装置の実施の形態 2 を示すものであり、従来の半導体装置との構成の違いをわかりやすく概略的に示している。なお、上述した実施の形態 1 と同一の構成要素については、上述の実施の形態 1 と同一の符号を付し、説明を省略している。

【 0 0 3 3 】

図 2 (A) は図 5 に示されている従来の半導体装置を示すものである。これに対し、実施の形態 2 においては、図 2 (B) に示されるように、一般ロジック用

回路 2 部分が一般ロジック L S I チップ 1 3 として、メモリ 3 a、3 b とメモリテスト用回路 4 とがメモリ L S I チップ 1 4 として、それぞれ別々に製造され、また削除されるフューズ 5 の代わりにソフトリペア用 L S I チップ 1 2 が上記の各チップとは別に製造される。さらに、実施の形態 2 の半導体装置では、図 2 (C) に示すように、これらの一般ロジック L S I チップ 1 3、メモリ L S I チップ 1 4 およびソフトリペア用 L S I チップ 1 2 を基板 2 1 上に実装して、配線を行い、同一パッケージとしている。メモリ 3 a、3 b と不揮発性メモリ 6 とは配線によって接続されている。また、図では示されていないが、メモリ L S I チップ 1 4 内部のメモリ 3 a、3 b、メモリテスト用回路 4 とはそれぞれ内部の配線によって接続されている。したがって、不揮発性メモリ 6 とメモリ 3 b、メモリテスト用回路 4 との間も電氣的に接続された状態となっている。メモリテスト用回路 4 の働きは上述した実施の形態 1 と同じであり、説明は省略するが、セルフテストと救済解析の結果、メモリ 3 a、3 b 内の不良箇所の冗長回路への切り替え情報が、ソフトリペアプログラムによって不揮発性メモリ 6 に記憶される。

【 0 0 3 4 】

このような構成の半導体装置を使用する場合、半導体装置に電源が入ると一般ロジック用回路 2 は不揮発性メモリ 6 に記憶された情報を最初に読み込む。不揮発性メモリ 6 には、上述したようにメモリ 3 a、3 b の不良箇所についての情報が格納されているので、一般ロジック用回路 2 はその情報を入手する。その後、一般ロジック用回路 2 が書き込みや読み込みでメモリ 3 a、3 b を使用する場合には、一般ロジック用回路 2 はその不良箇所についての情報を参照しながら、メモリ 3 a、3 b の不良箇所を冗長回路の切り替え部分へと回避することによって、メモリ 3 a、3 b に書き込みや読み込みを行う。このようにして、メモリ 3 a、3 b の不良箇所が、冗長回路の切り替え部分に置き換えられてメモリ 3 a、3 b が使用される。

【 0 0 3 5 】

このような構成によって、メモリ 3 a、3 b 内の不良箇所をソフト的に救済することが可能となる。また、メモリ 3 a、3 b 部分とメモリテスト用回路 4 部分とを一般ロジック用回路 2 とは別チップで作製するために、メモリ混載プロセス

を使用しなくても、同一パッケージにしてメモリ内蔵型のLSIチップを作製することが可能となる。そして、一般ロジック用回路2は安価なロジックプロセスで、メモリ3a、3bも安価なメモリプロセスで、それぞれ作製することができ、総合的な製造コストは従来のメモリ混載型LSIチップに比べて安くなる。また、それぞれのチップ面積が小さくなるために、歩留が向上し、同一ウエハでのチップ数が多くなり製造コストを削減することができる。

【0036】

実施の形態3.

図3は、この発明にかかる半導体装置の実施の形態3を示すものであり、従来の半導体装置との構成の違いをわかりやすく概略的に示している。なお、上述した実施の形態1および2と同一の構成要素については、上述の実施の形態1および2の場合と同一の符号を付し、説明を省略している。

【0037】

図3(A)は図5に示されている従来の半導体装置を示すものである。これに対し、実施の形態3の半導体装置においては、図3(B)に示されるように、一般ロジック用回路2部分が一般ロジックLSIチップ13として、メモリ3a、3bがメモリ専用LSIチップ15として、メモリテスト用回路4がメモリテスト用LSIチップ16として、それぞれ別々に製造され、またフューズ5が削除される代わりに不揮発性メモリ6を搭載したソフトリペア用LSIチップ12が上記の各チップとは別に製造される。さらに、実施の形態3の半導体装置では、図3(C)に示すように、これらの一般ロジックLSIチップ13、メモリ専用LSIチップ15、メモリテスト用LSIチップ16およびソフトリペア用LSIチップ12を基板21上に実装して、配線を行い、同一パッケージとしている。図では、不揮発性メモリ6とメモリ3aのみが接続されているように示しているが、メモリ3aとメモリ3bとはメモリ専用LSIチップ15の内部配線で接続されている。したがって、メモリ3bと不揮発性メモリ6との間も電氣的に接続された状態となっている。

【0038】

メモリテスト用回路4の働きは上述した実施の形態1と同じであり、説明は省

略するが、セルフテストおよび救済解析の結果、メモリ 3 a、3 b 内の不良箇所の冗長回路への切り替え情報がソフトリペアプログラムによって不揮発性メモリ 6 に記憶される。そして、半導体装置に電源が入ると一般ロジック用回路 2 は不揮発性メモリ 6 に記憶された情報を最初に読み込む。不揮発性メモリ 6 には、上述したようにメモリ 3 a、3 b の不良箇所についての情報が格納されているので、一般ロジック用回路 2 はその情報を入手する。その後、一般ロジック用回路 2 が書き込みや読み込みでメモリ 3 a、3 b を使用する場合には、一般ロジック用回路 2 はその不良箇所についての情報を参照しながら、メモリ 3 a、3 b の不良箇所を冗長回路の切り替え部分へと回避することによって、メモリ 3 a、3 b に書き込みや読み込みを行う。このようにして、メモリ 3 a、3 b の不良箇所が、冗長回路の切り替え部分に置き換えられてメモリ 3 a、3 b が使用される。

【 0 0 3 9 】

このような構成によって、メモリ 3 a、3 b 内の不良箇所をソフト的に救済することが可能となる。一方、メモリ部分 3 a、3 b とメモリテスト用回路 4 部分とを、別のチップで作製することにより、メモリ専用 L S I チップ 1 5 の面積が小さくなり、歩留が向上すると同時に、同一ウエハでのチップ数が多くなり製造コストを削減することができる。また、従来のメモリ混載型 L S I チップでは、メモリテスト用回路 4 が不良の場合には、一つのチップ上に一般ロジック用回路 2 やメモリ 3 a、3 b などと共にメモリテスト用回路 4 が形成されていたために、そのチップを廃棄しなければならなかったけれども、メモリテスト用回路 4 を別チップとして作製することによって、メモリテスト用回路 4 のみが不良の場合には当該メモリテスト用回路 4 のみを廃棄すればよく、その他の一般ロジック用回路 2 やメモリ 3 a、3 b はそのまま使用できるので、歩留が向上する。さらに、メモリテスト用回路 4 は、別チップで作製するために安価なロジックプロセスで作製することができ、製造コストを削減することができる。

【 0 0 4 0 】

実施の形態 4 .

図 4 は、この発明にかかる半導体装置の実施の形態 4 を示すものであり、図 4 (A) は基板 2 1 上に各 L S I チップを積層して配置した側面図を、図 4 (B)

はその平面図を示している。なお、上述した実施の形態 1 から 3 と同一の構成要素については、上述の実施の形態 1 から 3 の場合と同一の符号を付し、説明を省略している。

【0041】

上述した実施の形態 1 から 3 では、各 L S I チップを 1 つの基板上に平面的に並べたマルチチップパッケージ構造としたが、この実施の形態 4 では、L S I チップを積層した形態のマルチチップパッケージ構造とするために、基板 2 1 上に、メモリのみが形成されたメモリ専用 L S I チップ 1 5、メモリテスト用回路 4 が形成されたメモリテスト用 L S I チップ 1 6、そして不揮発性メモリ 6 が形成されたソフトリペア用 L S I チップ 1 2 が順に積層されている。そして、それぞれの L S I チップの間は、ワイヤボンディングによって接続されている。

【0042】

このように、L S I チップを基板上に積層して配置することによって、半導体装置のより一層の小型化を実現することが可能となる。また、この実施の形態 4 では、各 L S I チップを積層し、ワイヤボンディングによって接続した半導体装置について説明したが、フリップチップボンディングや T A B (T a p e A u t o m a t e d B o n d i n g)、スルーホールなどの S i P の方法によって L S I チップを配置した構成を有する半導体装置にも、この発明を適用することができる。

【0043】

上述した各実施の形態において、メモリテスト用回路 4 (実施の形態 4 の場合には、ソフトリペア用 L S I チップ 1 2) は、メモリ 3 a、3 b (同様にメモリ専用 L S I チップ 1 5) が正常であるか不良であるかを判断するためのセルフテストプログラムと、セルフテストプログラムでのテストの結果不良箇所を特定するための救済解析プログラムと、そして救済解析の結果、不良箇所を冗長回路へ切り替えるための情報を不揮発性メモリに書き込むためのソフトリペアプログラムとから構成されている。通常、これらのプログラムは、書き換え不可能な不揮発性メモリに書き込まれている。しかし、この書き換え不可能な不揮発性メモリをフラッシュメモリなどの電氣的に書き換え可能な不揮発性メモリにすることで

、セルフテストプログラム、救済解析プログラムまたはソフトリペアプログラムの変更を容易に行うことができる。

【0044】

また、上述した各実施の形態では、メモリ3a、3b（実施の形態4の場合には、メモリ専用LSIチップ15）は救済用の冗長回路を内部に含んでいるものとして説明を行っているけれども、冗長回路をメモリ3a、3b（同じく、メモリ専用LSIチップ15）から切り離して、メモリ3a、3b（同じく、メモリ専用LSIチップ15）とは独立して設けることも可能である。例えば、上述した実施の形態1から3において、3aをメモリ、3bを冗長回路用メモリとすることも可能である。また、このときには切り離した冗長回路とメモリとを同じチップ上に形成してもよいし、それぞれ別々のチップに形成してもよい。このようにすることで、メモリの集積度を上げることができる。

【0045】

【発明の効果】

以上説明したように、この発明によれば、第1のチップの不揮発性メモリは第2のチップのメモリの不良部分を冗長回路へと切り替える情報を格納し、その情報に基づいてメモリの不良部分を冗長回路へ切り替えることができるので、メモリのすべての不良部分をソフト的に救済できると同時に、救済不良がなくなり歩留が向上するという効果を有する。また、ソフト的な救済によって、従来技術のようなレーザ光照射によるフューズの切断などのハード的な処理工程をなくすことができる。

【0046】

つぎの発明によれば、前記メモリを有する第2のチップは、テストプログラム、救済解析プログラムおよびソフトリペアプログラムを有する不揮発性メモリを備えたメモリテスト用回路を有するので、半導体装置自身でセルフテストを実行し、メモリの不良部分を救済することができる。そして、メモリのすべての不良部分をソフト的に救済できると同時に、救済不良がなくなり歩留が向上するという効果を有する。また、ソフト的な救済によって、従来技術のようなレーザ光照射によるフューズの切断などのハード的な処理工程をなくすことがで

きる。

【0047】

つぎの発明によれば、テストプログラム、救済解析プログラムおよびソフトリペアプログラムを有する不揮発性メモリを備えたメモリテスト用回路を有する第3のチップをさらに前記基板上に備えたので、メモリテスト用回路が不良であっても、従来の半導体装置のようにチップ全体を廃棄することなく、メモリテスト用回路すなわち第3のチップのみを廃棄するだけでよい。また、メモリの面積が小さくなるので歩留が向上すると共に、同一ウエハでの作製できるチップ数が多くなり製造コストを削減することができるという効果を有する。さらに、それぞれの部品を別々のチップに形成するので、安価なプロセスで作製することができる。

【0048】

つぎの発明によれば、メモリテスト用回路内の不揮発性メモリを、書き換え可能としたので、メモリが正常であるか不良であるかを判断するためのセルフテストプログラム、不良箇所を特定するための救済解析プログラム、そして不良箇所を冗長回路に切り替える情報を不揮発性メモリに書き込むためのソフトリペアプログラムを容易に書き換えることが可能となる。例えば、より良いセルフテストプログラム、救済解析プログラムまたはソフトリペアプログラムの改良または開発によっても、半導体装置全体を廃棄することなく、書き換え可能な不揮発性メモリ中のプログラムを書き換えるだけでよいので、資源を有効に利用することが可能となる。また、既に作製された半導体装置に対しても、プログラムの書き換えを行うことができる。

【0049】

つぎの発明によれば、第1のチップの不揮発性メモリは第2のチップのメモリの不良部分を第3のチップの冗長回路へと切り替える情報を格納し、その情報に基づいてメモリの不良部分を冗長回路へ切り替えることができるので、第2のチップのメモリのすべての不良部分をソフト的に救済することができると同時に、救済不良がなくなり歩留が向上するという効果を有する。また、ソフト的な救済によって、従来技術のようなレーザ光照射によるフューズの切断などのハード的

な処理工程をなくすことができる。また、冗長回路を有する第3のチップを、メモリを有する第2のチップとは別に形成したので、メモリの集積度を上げることができる。

【0050】

つぎの発明によれば、前記メモリを有する第2のチップは、テストプログラム、救済解析プログラムおよびソフトリペアプログラムを有する不揮発性メモリを備えたメモリテスト用回路を有するので、半導体装置自身でセルフテストを実行し、メモリの不良部分を救済することができる。そして、メモリのすべての不良部分をソフト的に救済できると同時に、救済不良がなくなり歩留が向上するという効果を有する。また、ソフト的な救済によって、従来技術のようなレーザ光照射によるフューズの切断などのハード的な処理工程をなくすことができる。さらに、冗長回路を有する第3のチップを、メモリを有する第2のチップとは別に形成したので、メモリの集積度を上げることができる。

【0051】

つぎの発明によれば、テストプログラム、救済解析プログラムおよびソフトリペアプログラムを有する不揮発性メモリを備えたメモリテスト用回路を有する第4のチップをさらに前記基板上に備えたので、メモリテスト用回路が不良であっても、従来の半導体装置のようにチップ全体を廃棄することなく、メモリテスト用回路すなわち第4のチップのみを廃棄するだけでよい。また、メモリの面積が小さくなるので歩留が向上すると共に、同一ウエハでの作製できるチップ数が多くなり製造コストを削減できると同時に、それぞれの部品を別々のチップに形成するので、安価なプロセスで作製することができる。さらに、冗長回路を有する第3のチップを、メモリを有する第2のチップとは別に形成したので、メモリの集積度を上げることができる。

【0052】

つぎの発明によれば、メモリテスト用回路内の不揮発性メモリを、書き換え可能としたので、メモリが正常であるか不良であるかを判断するためのセルフテストプログラム、不良箇所を特定するための救済解析プログラム、そして不良箇所を冗長回路に切り替える情報を不揮発性メモリに書き込むためのソフトリペアプ

プログラムを容易に書き換えることが可能となる。例えば、より良いセルフテストプログラム、救済解析プログラムまたはソフトリペアプログラムの改良または開発によっても、半導体装置全体を廃棄することなく、書き換え可能な不揮発性メモリ中のプログラムを書き換えるだけでよいので、資源を有効に利用することが可能となる。また、既に作製された半導体装置に対しても、プログラムの書き換えを行うことができる。さらに、冗長回路を有する第 3 のチップを、メモリを有する第 2 のチップとは別に形成したので、メモリの集積度を上げることができる。

【 0 0 5 3 】

つぎの発明によれば、各チップを互いに積層して基板上に備えたので、基板の面積を小さくすることができ、半導体装置の構成全体を小型化することができる。

【図面の簡単な説明】

【図 1】 この発明による半導体装置の実施の形態 1 を示す模式図である。

【図 2】 この発明による半導体装置の実施の形態 2 を示す模式図である。

【図 3】 この発明による半導体装置の実施の形態 3 を示す模式図である。

【図 4】 この発明による半導体装置の実施の形態 4 を示す図であり、（A）は側面図を、（B）は平面図を示している。

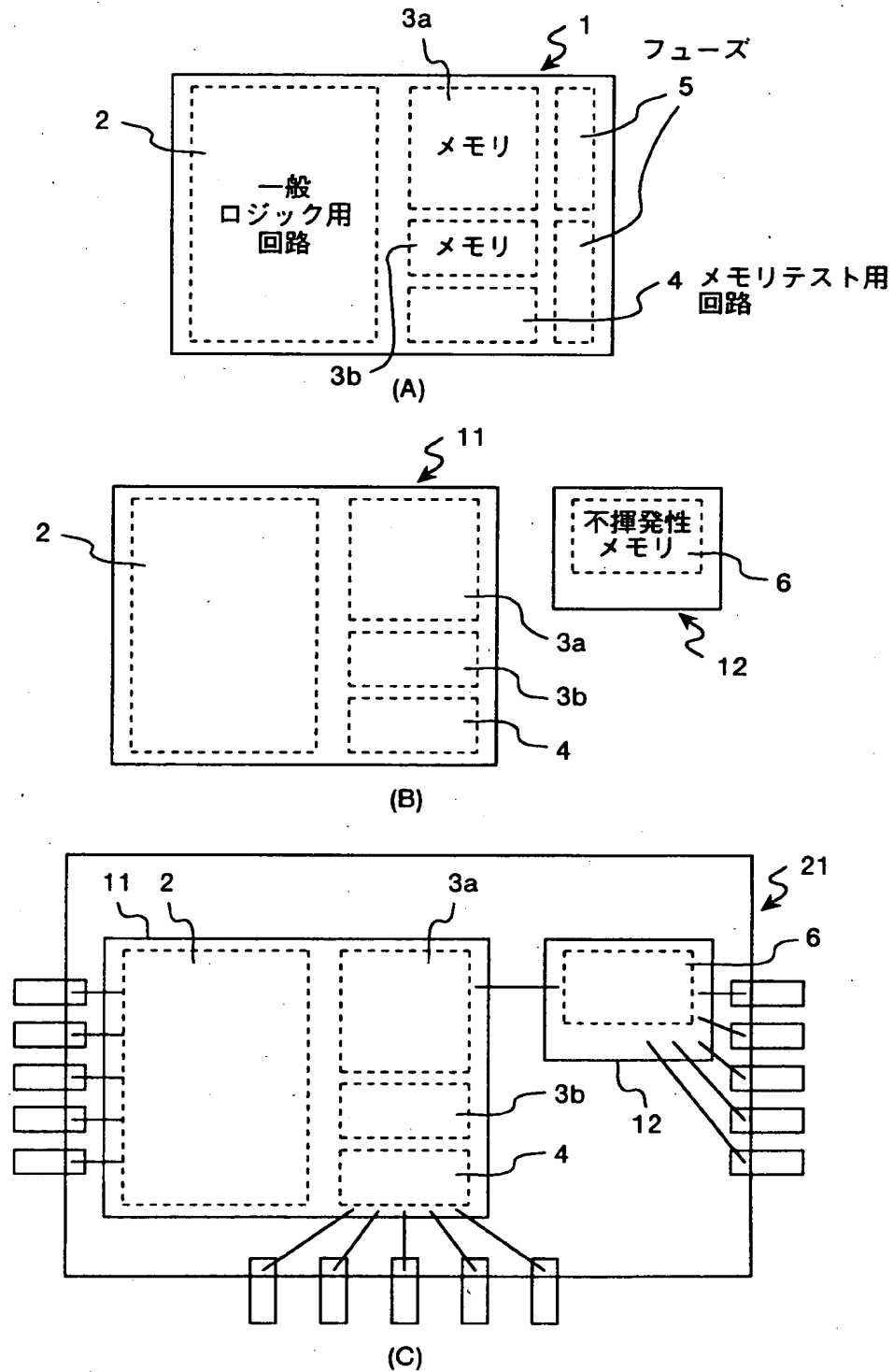
【図 5】 半導体装置の従来例を示す模式図である。

【符号の説明】

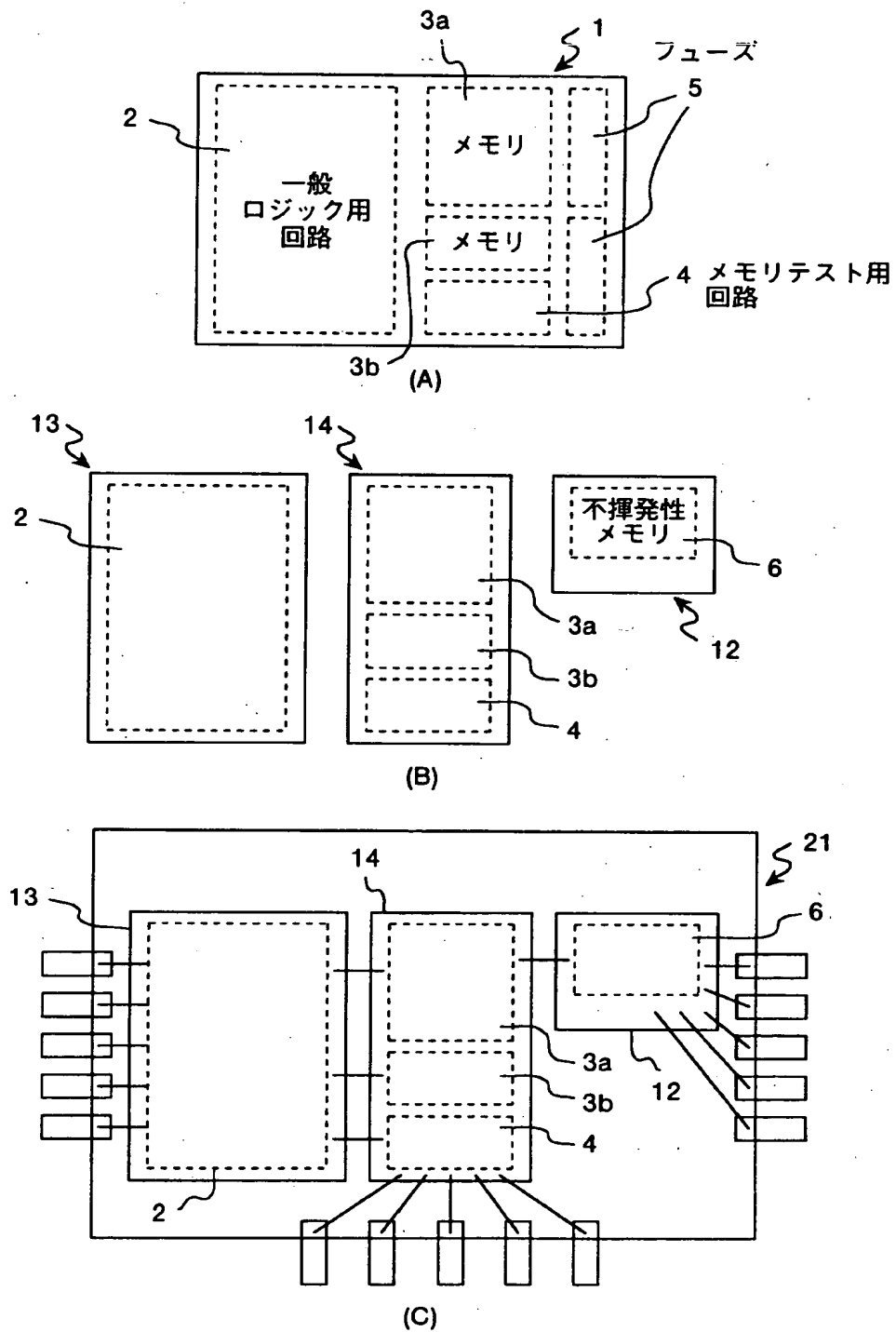
1 半導体装置、2 一般ロジック用回路、3 a, 3 b メモリ、4 メモリテスト用回路、5 フューズ、6 電氣的に書き換え可能な不揮発性メモリ、11 製品 L S I チップ、12 ソフトリペア用 L S I チップ、13 一般ロジック L S I チップ、14 メモリ L S I チップ、15 メモリ専用 L S I チップ、16 メモリテスト用 L S I チップ、21 基板。

【書類名】 図面

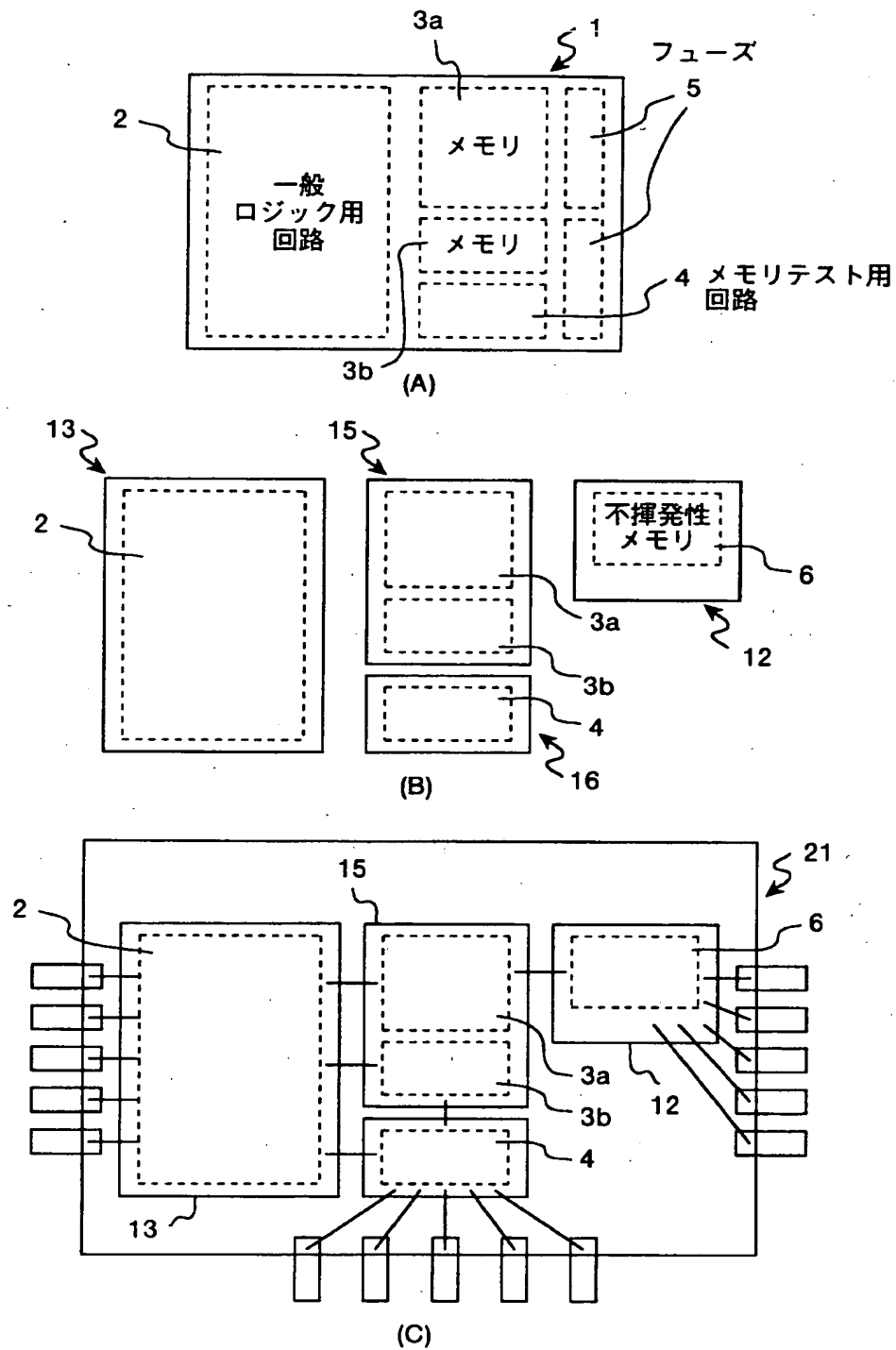
【図 1】



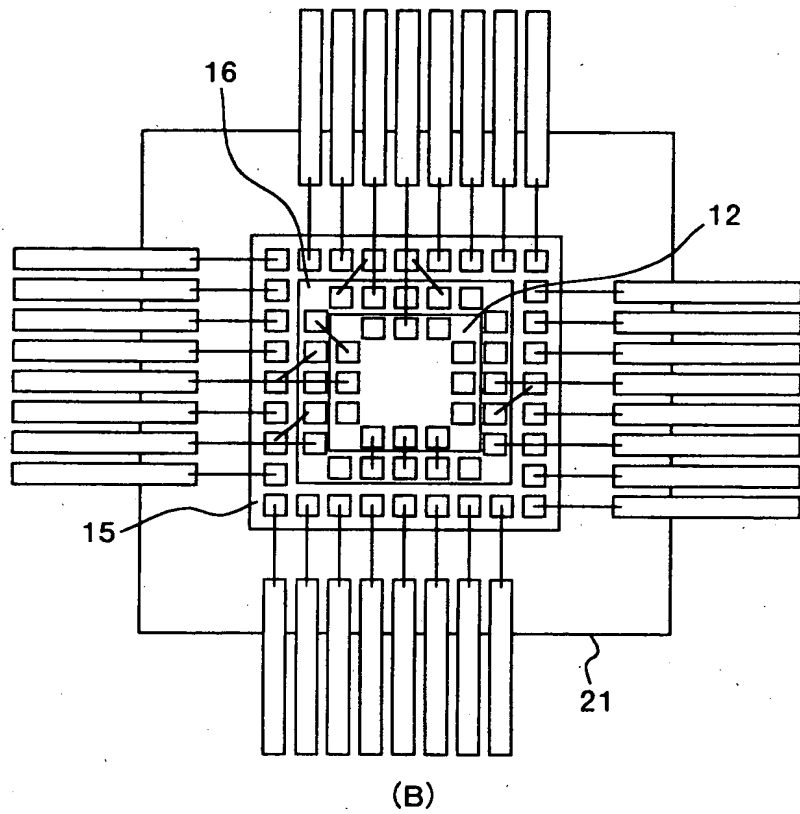
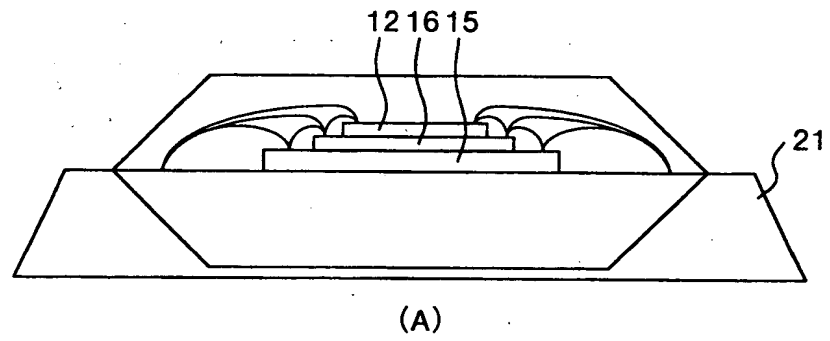
【図 2】



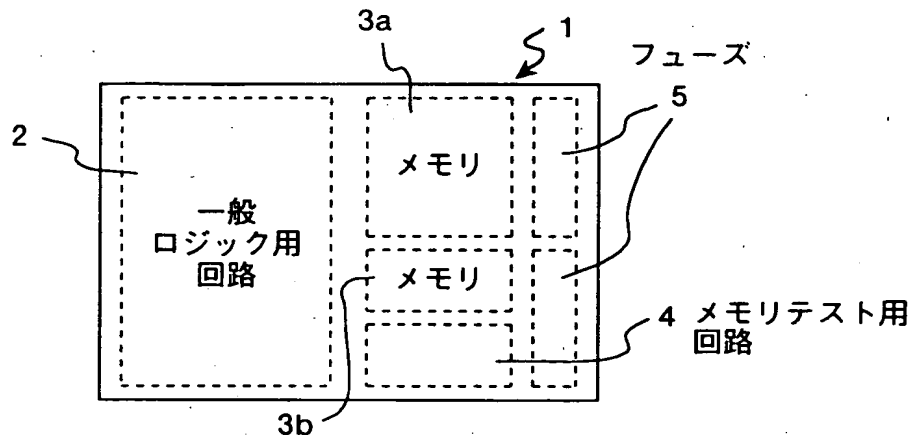
【図 3】



【図 4】



【図5】



【書類名】 要約書

【要約】

【課題】 メモリに不良箇所が存在する場合に、ハード的に不良箇所を救済するのではなく、また、半導体装置を構成する各部品の不良に対して装置全体を廃棄してしまうことのない半導体装置を得ること。

【解決手段】 電氣的に書き換え可能な不揮発性メモリ 6 を有する第 1 のチップ 1 2 と、救済用の冗長回路を内蔵するメモリ 3 a、3 b を有する第 2 のチップ 1 1 と、を基板 2 1 上に備える半導体装置であって、前記第 1 のチップ 1 2 の不揮発性メモリ 6 に、前記メモリ 3 a、3 b の不良部分を前記冗長回路へと切り替える情報を格納し、その情報に基づいて前記メモリ 3 a、3 b の不良部分を前記冗長回路へ切り替える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社